

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭56-99394

⑫ Int. Cl.⁹
G 09 G 3/20

識別記号
府内整理番号
7250-5C

⑬ 公開 昭和56年(1981)8月10日

発明の数 1
審査請求 未請求

⑤ 表示パネルの駆動回路

⑥ 特 願 昭55-1835

⑦ 出 願 昭55(1980)1月11日

⑧ 発明者 富樫清吾
所沢市大字下富字武野840シチ

ズン時計株式会社技術研究所内

⑨ 出願人 シチズン時計株式会社
東京都新宿区西新宿2丁目1番
1号

⑩ 代理人 弁理士 金山敏彦

明細書

1. 発明の名称

表示パネルの駆動回路

2. 特許請求の範囲

複数の行電極及び列電極と、該行電極及び列電極の交差する位置に対応して配置されたスイッチング素子及び表示要素とを有する表示パネルの駆動回路に於て、前記スイッチング素子を、複数の制御線及び信号線のそれぞれが交差する位置に対応して配設した複数個のスイッチマトリクスを前記駆動回路に設けると共に前記スイッチマトリクスの少くとも1つのスイッチング素子が前記列電極に直接結線する如く構成した表示パネルの駆動回路。

3. 発明の詳細を説明

本発明はマトリクス的に配置したスイッチング素子及び表示要素を有するスイッチング素子内蔵方式の表示パネルの駆動回路の改良に関する。

液晶の電気光学効果 (LCD) や、エレクトロルミネッセンス (EL) 、エレクトロ・クロミズ

(EC) 、発光体のプラズマ励起 (PDP) や電子線励起 (FL) による発光効果等の電気的駆動可能な表示パネルは、腕時計、電卓、計器等を始め広く電子機器に適用され、将来は小型テレビや各種端末機器等にも応用される見られている。中でも、小型テレビ等の様に高い表示密度が必要となる場合には、表示要素をマトリクス的に配位し、行電極及び列電極で駆動するマトリクス駆動方式が又、液晶やEC、EL等の様にクロストークが大きくてマトリクス駆動が難しい表示装置では各表示要素にスイッチング素子を付属させクロストークを防止する方式がとられる。この方式がスイッチング素子内蔵方式が用いられ B. J. Lechner 等により提案され (参照 Proc. IEEE vol. 59, Nov. 1971, p 1566~79) 研究も盛んである。

このスイッチング素子内蔵方式による表示パネルは液晶を用いた場合を例にとって説明すると、プラウン管 (CRT) 並の高密度表示が可能であり、しかも低電圧、低電力で動作し、薄型化、小型化

(1)

(2)

が可能である等多くの長所を持つていたが実用化に際しては問題点も存在する。駆動回路に関して考えると、行電極に線順次方式（ライン・アット・ア・タイム）の走査信号を印加する場合、列電極に表示信号を印加する列電極駆動回路に幾つかの問題点が存在し、回路間及び回路と表示パネル間等の相互配線の問題や回路に要求される応答速度及び消費電力の問題、更に回路製造上の工程増大化の問題等に改善の余地がある。

しかもこの従来のスイッチング素子積層方式の表示パネル及びその駆動回路について液晶表示を用いた場合を例にとり第1図乃至第6図に説明すると、液晶表示装置は表示パネルと周辺回路より成り、第1図は表示パネルの説明図で、1、2は基板、2は対向電極、5はマトリクス状に配置されたスイッチング素子と行電極、列電極、表示電極等を含む層、3は液晶層である。第2図は表示パネル上の各要素の等価回路図で、X ($X_1 \sim X_n$) は列電極、Y ($Y_1 \sim Y_m$) は行電極であり、行電極及び列電極の各交点に対応する領域が単位要

(3)

…、 i_m で選択されている行の表示要素に供給すべき電位をそれぞれ有する表示信号を各列電極に供給する。表示情報は半周期 T_{F1} で全表示要素に書き込まれる。しかし液晶層に直流電位成分のかかるのを避ける為に、第4図の様に全周期 T_F を半周期 T_{F1} 、 T_{F2} 、IC 2 分割し、の様に各半周期で付号が逆転する様な表示信号を加える事が多い。以上の様な走査信号 $y_1 \sim y_m$ や表示信号例えば x_i が第3図の表示パネルの行電極 $Y_1 \sim Y_m$ や列電極例えば X_1 に印加された場を考えると、走査信号 $y_1 \sim y_m$ は期間 $i_1 \sim i_m$ で順次各行のスイッチング素子を導通状態にし、その時の表示信号 x_i の電位を表示電極 i に供給し、他の行が選択され自行が非選択となつてある期間ではスイッチング素子 S は非導通となり選択期間で呼び込まれた電位が保持される更に対向電極 z には第4図の様な接地された信号が印加されているから、各液晶要素 $LC_{11} \sim LC_{m1}$ には第4図 $LC_{11} \sim LC_{m1}$ の様な電位が印加される。半周期 T_{F1} 、 T_{F2} で表示信号 x_i の付号が逆転しているから各

(5)

素6を形成している。又各単位要素には行電極 Y 、列電極 X 及び表示電極 i に接続したスイッチング素子と、表示電極 i と対向電極 z に挿入された液晶要素 LC と、必要に応じて設けられる付加容量 C^* がある。 C^* は接地か、Y 電極等に接続され、用いられない場合も多く、スイッチング素子 S は行電極 Y の電位により列電極 X と表示電極 i の間のコンダクタンスを制御する働きをする。

第3図は周辺回路を含む全体のブロック図で、1は対向電極 z を有する基板、2は行電極 Y 、列電極 X 、スイッチング素子 S 、対向電極 z 等を含む基板である。10は行電極駆動回路であり、第4図の $y_1 \sim y_m$ の様な線順次方式（ライン・アット・ア・タイム）で各行電極をそれぞれ期間 $i_1 \sim i_m$ ずつ選択する走査信号を各行電極 $Y_1 \sim Y_m$ に供給し、行電極駆動回路10は一般にシフト・レジスタ構成にすればよく基準となるクロックバルスはクロック回路12より16の経路で供給される。11は列電極駆動回路であり、第4図の x_i の様に各期間 $i_1 \sim i_m$

(4)

液晶要素 LC にも各半周期で付号の反転した交流信号が印加される。以上の如くスイッチング素子内蔵方式では各表示要素 LC には全くクロストークのない電位信号 x_i を印加できるが、周辺回路の中で、行電極駆動回路は掃引も低速であり回路も簡単であるが、列電極駆動回路は比較的高速掃引が要求され回路も複雑となる。第5図は列電極駆動回路図で、14はシリアル・パラレル変換器（SP変換器）であり、情報処理回路より供給されるシリアル信号の表示情報信号 f を、クロック回路からのクロック信号と同期してパラレル信号に変換し保持する。15はラインスイッチ又はラッチ回路からなり、必要に応じて増幅器等が含まれる。ラインスイッチを用いる場合はSP変換の時間と表示書き込み時間をタイミング信号 ϕ' で時分割して駆動し、ラッチ回路を用いる場合にはSP変換はほぼ常時行い、適当なタイミング信号 ϕ' でパラレル信号をラッチ回路に転送し、表示書き込みはこの信号によりほぼ常時行う。いずれの場合も表示要素数を $n \times m$ 、フレーム周波数を

(6)

F とすると、 SP 変換回路は最大 $2F \cdot n \cdot m$ の周波数に応答しなくてはならずかなり高速掃引が必要である。

一般に、表示パネル部と周辺回路は一体でも別体でもよいがしかし別体の場合、行及び列電極の数が大きくなると相互接続が問題となる。製造工程も複雑となる上に、 IC のピン数が 50 本程度と限定されているから必要以上のチップ数の IC で周辺回路を構成せざるを得なくなる。以上の様な相互接続の問題を解消する為には表示パネル上に周辺回路の一部又は全部を形成出来ればよく、第 5 図の列電極駆動回路を表示パネル上に形成してしまえば表示情報入力用の電極は n 本ではなく 1 本で済む。しかし、この場合には回路素子の応答速度が問題となる。前述の如く、列電極駆動回路は高速掃引が必要であり、表示パネル上のスイッチング素子の応答性は高速とは限らず、薄膜トランジスタ等を用いた場合には問題となる。

即ち駆動回路を表示パネルの外部に配置すれば列電極数の相互配線が必要であり、前述の様な列

(7)

電極駆動回路を表示パネルの内部に配置すれば、スイッチング素子の性能が問題となり、両者とも実用的でない。

尚スイッチマトリクスを駆動回路に設ける事は A. G. Fischer 等がすでに提案している。(参照

"Nonemissive Electrooptical Displays"

A. H. Kmetz, F. K. von Willisen 編, PLENOM

PRESS, New York and London, 1976 年発行,

p. 342 ~ 348)

第 6 図は Fisher の提案した列電極駆動回路である。Fischer はカラー表示の目的で 3 原色の表示情報をそれぞれ 3 本の信号線 A_1 ~ A_3 により供給しており、20 はサンプリングパルス発生用のシフトレジスタであり、クロック回路から供給されるタイミングパルス ϕ_a , ϕ_b , ϕ_c に同期した順次式のサンプリングパルスを B_1 , B_2 , ... に供給する。21 は記憶回路制御用のスイッチマトリクスであり、サンプリングパルスに応じてスイッチを開閉して、 A_1 ~ A_3 に投入されるシリアル信号の 3 原色表示情報を 22 の一時記憶回路

(8)

として働くストレージ・キャッシュ M_1 ~ M_n に並列に蓄積する。23 はラインスイッチであり、サンプリング時間には非導通であり、サンプリングが終るとタイミングパルス ϕ_d により導通となつて表示パネルに情報を書き込む。この Fischer の用いた駆動回路構成でも比較的低いスイッチング素子性能で相互接続の低減が可能であるが一度一時記憶回路に情報を記憶し各行一括して表示部に書き込む点では第 3 ~ 5 図と同様で群一括の情報書き込みは出来ない。その結果一時記憶回路に書き込む時間と表示部に書き込む時間が独立して必要であり、同じ大きさの表示部及びスイッチマトリクスを用いる場合のスイッチング素子に要求される応答時間は早く、記憶用容量が必要であり、その充放電の為には液晶層の消費電力の少なくとも数倍する消費電力を必要とする。更に該容量やラインスイッチを表示パネル上に必要とし、その構成面積も必要となる。

本発明は前述の各諸欠点を解消するものでその主旨は複数の行電極と、複数の列電極と、該行電

(9)

極及び列電極の交差する位置に対応して配置されたスイッチング素子及び表示要素とを少なくとも有する表示パネルの駆動回路に於いて、複数の制御線と、複数の信号線と、該制御線及び信号線の交差する位置に対応して配置されたスイッチング素子により構成される複数のスイッチマトリクスを駆動回路に設け、前記スイッチマトリクスの少なくとも一つのスイッチマトリクスを構成するスイッチング素子は前記列電極と直接接続された表示パネルの駆動回路であり、従来の順次的に各行一括して表示情報を書き込むのと異なり、各行一括ではなく特定の表示要素の群につき一括して表示情報を書き込む、いわば群順次的な表示情報書き込みを可能とすると共に多重スイッチマトリクスの各制御用電極(本発明では表示部のスイッチマトリクスでは行電極、駆動回路部のスイッチマトリクスでは制御線と定義)に印加する信号により多重に選択された表示要素の群に、駆動回路のスイッチマトリクスの信号線に供給される表示情報信号を直接書き込むという新規な駆動回路

(10)

を提供する。

以下本発明の実施例を第7図乃至第10図により詳細に説明する。第7図は本発明の実施例のブロック図で、31は表示部、10は行電極駆動回路、11は列電極駆動回路、12はクロック回路、13は表示情報処理回路で前記行電極駆動回路10はクロック回路12からのクロック信号に基づいて線順次方式の走査信号 $y_1 \sim y_m$ を表示部31の行電極 $Y_1 \sim Y_n$ に供給する。表示情報処理回路13は表示部に表示すべき情報を処理し、シリアル信号の形で信号線 $A_1 \sim A_k$ に表示情報信号として供給する。列電極駆動回路11はサンプリングバルス発生器20とスイッチマトリクス24からなる。サンプリングバルス発生器20はクロック回路からのクロック信号により制御され線順次方式のサンプリングバルス $b_1 \sim b_L$ をスイッチマトリクスの制御線に供給する。スイッチマトリクス24と表示部31の等価回路を第8図に示す。表示部31は行電極 $X_1 \sim X_n$ と列電極 $Y_1 \sim Y_m$ 及びその交点に対応して配置されたス

(11)

イシチング素子 S 及び表示要素りからなる。スイッチマトリクス24は制御線 $B_1 \sim B_L$ と信号線 $A_1 \sim A_k$ 及びその交点に対応して設けられたスイッチング素子 S^* からなり、各スイッチング素子 S^* は表示部の列電極 $X_1 \sim X_n$ に直接接続されている。

次にその駆動方式について説明すれば本発明は列電極駆動回路に記憶回路を持たないものであり表示部のスイッチマトリクスと列電極に直接接続した列電極駆動回路のスイッチマトリクスの複数のスイッチマトリクスを用いて、多重の線順次信号により直接表示要素に表示情報を書き込むもので、列電極 X_i と行電極 Y_j との交点に対応するスイッチング素子及び表示要素をそれぞれ S_{ij} 、 D_{ij} とする。又、信号線 A_i と制御線 B_j の交点に対応するスイッチング素子を S^*_{ij} として、第8図の行電極 $Y_1 \sim Y_m$ には第9図 $y_1 \sim y_m$ の様な線順次方式の走査信号を印加し制御線 $B_1 \sim B_L$ には $b_1 \sim b_L$ の様な走査信号 $y_1 \sim y_m$ の各選択時間内を更に時分割して選択

(12)

選くて済む。

尚本実施例では表示部31、スイッチマトリクス24行電極駆動回路10を同一の表示パネル上に形成しその他の回路は外部に形成し表示パネルと外部との相互接続は信号線 $A_1 \sim A_k$ 、制御線 $B_1 \sim B_L$ 、行電極駆動回路用のクロック線、及び電源線としたが250×250程度の表示要素数の場合でも全体で50本以下となり、外部回路を1チップで形成しても十分接続できるし、必要に応じてサンプリングバルス発生回路20やクロック回路12等も表示パネル上に形成すればより相互接続線を低減出来る。

尚、本実施例のスイッチマトリクスは更に多重にしても良く、表示部の列電極と各スイッチング素子が直結した $n_1 \times m_1$ の第1のスイッチマトリクスを設け、その信号線と各スイッチング素子が直結した $n_2 \times m_2$ の第2のマトリクスを設けることができ、更に信号線と各スイッチング素子が直結したスイッチマトリクスを多重に設けてもよい。ここで n_1, n_2, \dots は制御線の数、 m_1, m_2, \dots

(14)

する線順次方式のサンプリングバルスを印加する。又任意の表示要素 D_{ij} について考えると、 Y_j が y_j により選択され、且つ、 X_i に接続したスイッチング素子 S^*_{ij} に接続した制御線 B_{j+1} が b_{j+1} により選択されている時間にのみ信号線 A_{j+1} と接続される。この様に多重の線順次選択信号（本実施例では $y_1 \sim y_m$ と $b_1 \sim b_L$ ）により多重選択された表示要素が信号線 $A_1 \sim A_k$ と接続される。しかも各行一括ではなく、同時に選択される信号線の数（ k 個）の表示要素がらなる、表示要素群毎に一括して（群一括）で表示信号 $q_1 \sim q_k$ が書き込まれる。即ち第8図で Y_1 と B_1 が選択されている時間には Y_1 と $X_1, X_2, \dots, X_{(k-1)+1}$ の交点に対応する表示要素 $D_{1,1}, D_{1,2}, \dots, D_{1,(k-1)+1}$ 群が信号線 $A_1 \sim A_k$ と接続され表示信号が書き込まれる。

従つて記憶回路に書き込む時間は必要なく、全時間を表示信号書き込みに利用出来ると共に、第6図のスイッチング素子に必要な応答速度は更に

(13)

は信号線の数である。前実施例の如く駆動回路のスイッチマトリクスが一重の場合制御線の数 n_i と選択するタイミングの数は一致しており、上述の多重マトリクスの場合には制御線の数は $n_i = n_1 + n_2 + \dots$ であり、タイミングの数は $s_{n_i} = n_1 \cdot n_2 \dots$ である。即ち第10図の様に $n_1 = n_2 = \dots = n_s = 2$ の5重のスイッチマトリクス5'5、5'6、5'7、5'8、5'9を直結した場合、 $\sum n_i = 10$ 、 $s_{n_i} = 2^s = 32$ となり、サンプリングバルス発生回路を表示パネルの外部に設ける時等には、少ない相互接続線数で多くのタイミング指定の出来る多重マトリクス是非常に有効である。

上述の如く本発明は表示パネルに直接結線した少なくとも1つのスイッチマトリクスで前記表示パネル上のスイッチマトリクスを含む互いに直結した多重スイッチマトリクス群を構成した群一括式の表示情報書き込みができる駆動回路であるので簡単な構成で少ない消費電力で効果的にパネル配線数や必要な応答速度の低減をなし得る秀れた

(15)

 s^* 、 $s_{i,j}^*$ ……スイッチング電子 $D_{i,j}$ ……表示要素 $A_1 \sim A_k$ ……信号線

ものである。

4. 図面の簡単な説明

第1図乃至第6図は従来の表示パネルを示すもので第1図は説明図、第2図は等価回路図、第3図は駆動回路のブロック図、第4図はタイムチャート、第5図第6図は列電極駆動回路図、第7図乃至第10図は本発明の表示パネルの駆動回路実施例を示すもので第7図はブロック図、第8図は第7図のスイッチマトリクスと表示部の回路図、第9図は第8図の信号波形図、第10図は多重スイッチマトリクスの変形例回路図である。

 $X (X_1 \sim X_n)$ ……列電極 $Y (Y_1 \sim Y_m)$ ……行電極

1 0 ……行電極駆動回路

1 1 ……列電極駆動回路

2 0 ……サンプリングバルス発生回路

2 4 ……スイッチマトリクス

 $B_1 \sim B_2, B_1^1, B_2^1, B_1^2, B_2^2, B_1^3, B_2^3, B_1^4, B_2^4, B_1^5, B_2^5$ ……制御線 $S, S_{i,j}$ ……スイッチング電子

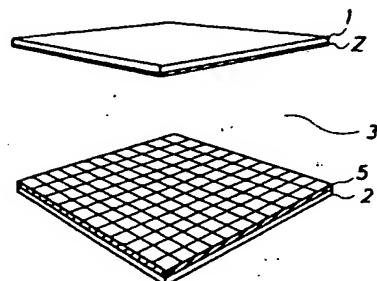
(16)

特許出願人 シチズン時計株式会社

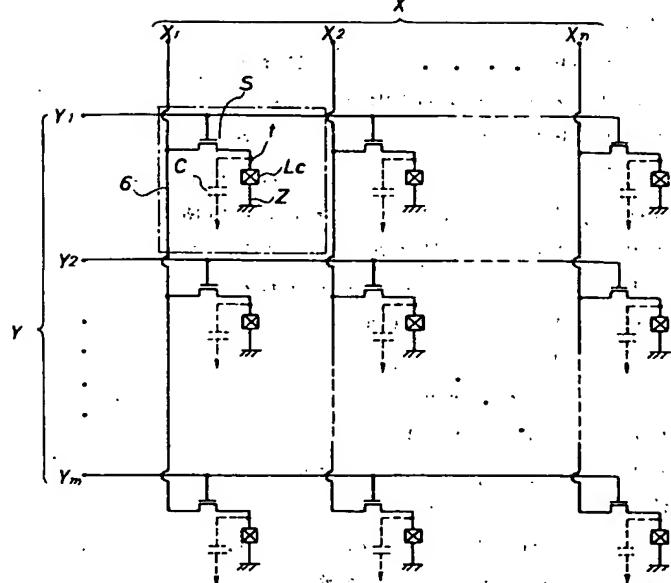
代理人 井理士 金山 敏彦

(17)

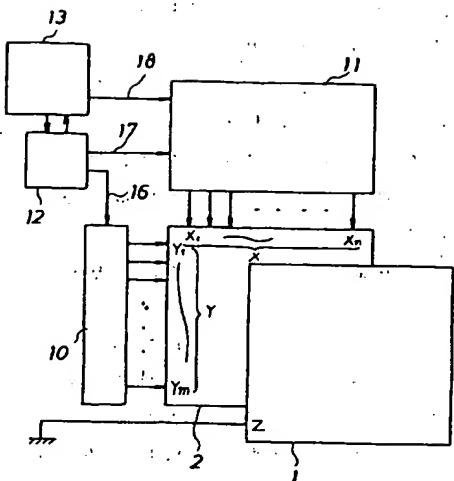
第1図



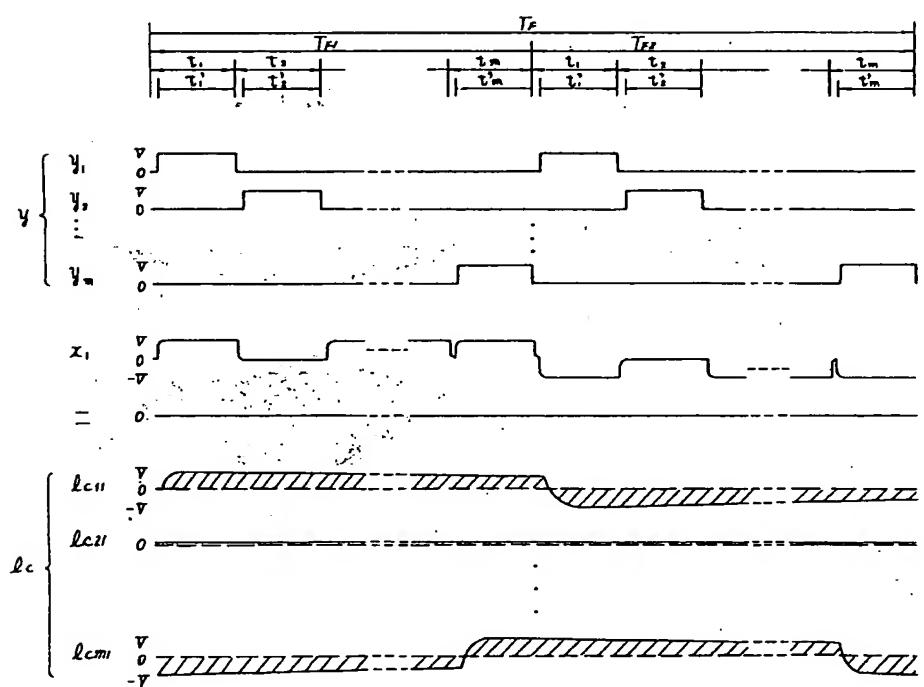
第2図



第3図

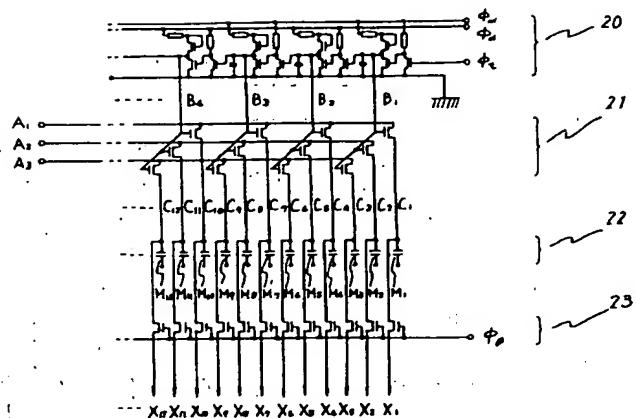
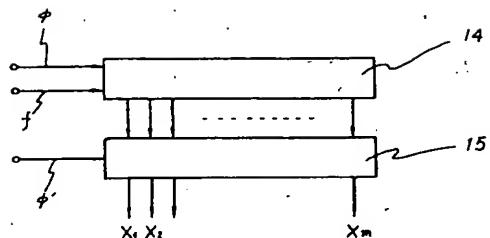


第4図

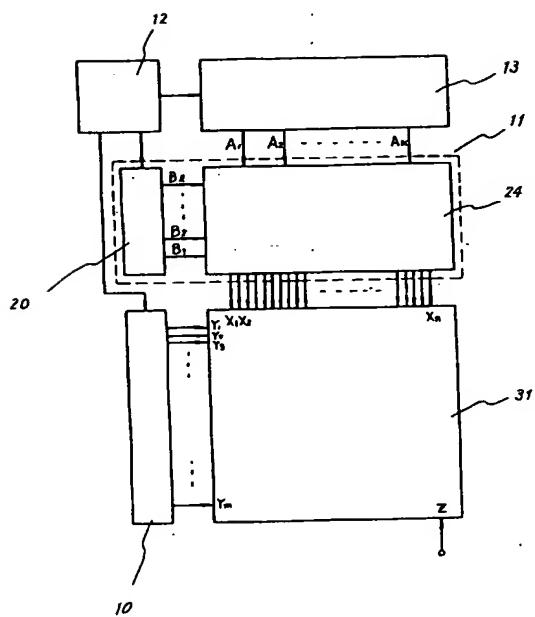


第6図

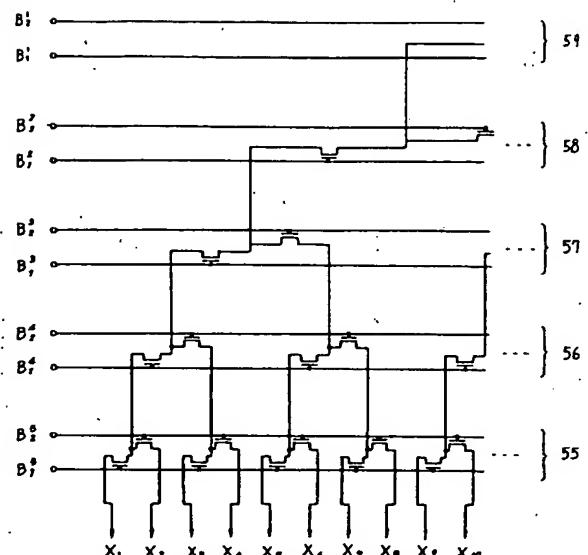
第5図



第7図



第10図



第9図

